

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2002-305287

(P 2002-305287 A)

(43)公開日 平成14年10月18日(2002.10.18)

(51)Int.Cl.	識別記号	F I	テーマコード (参考)
H01L 27/10	461	H01L 27/10	4M104
21/28		21/28	E 5F048
21/8234		29/62	G 5F083
21/8238		27/08	321 D
27/088		102	C

審査請求 有 請求項の数34 O L (全10頁) 最終頁に続く

(21)出願番号 特願2002-16927(P 2002-16927)
 (22)出願日 平成14年1月25日(2002.1.25)
 (31)優先権主張番号 09/772345
 (32)優先日 平成13年1月30日(2001.1.30)
 (33)優先権主張国 米国 (US)

(71)出願人 390009531
 インターナショナル・ビジネス・マシーンズ・コーポレーション
 INTERNATIONAL BUSINESS MACHINES CORPORATION
 アメリカ合衆国10504、ニューヨーク州
 アーモンク ニュー オーチャード ロード
 (74)代理人 100086243
 弁理士 坂口 博 (外1名)

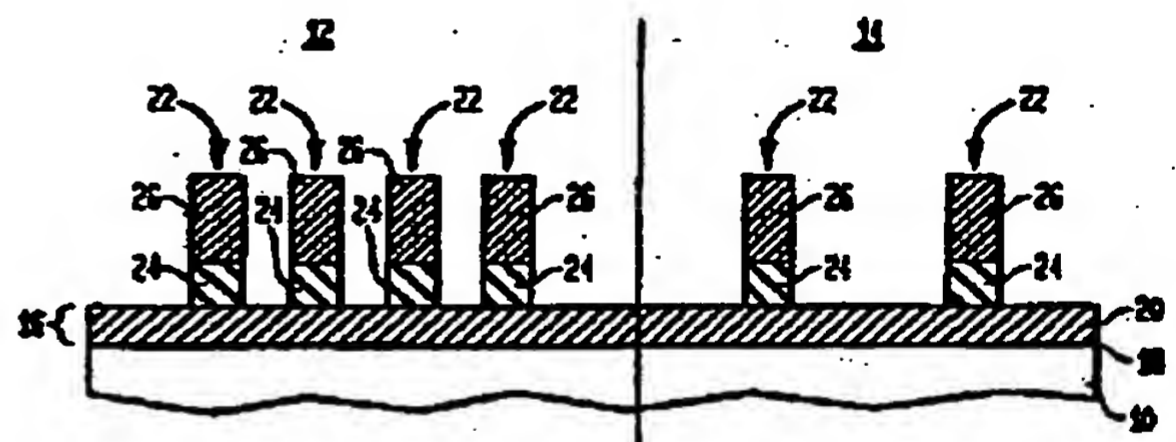
最終頁に続く

(54)【発明の名称】 eDRAMサポート・デバイスのノッチ付きゲートを画定する方法

(57)【要約】 (修正有)

【課題】 サポート・デバイス領域にノッチ付きゲートを含む相補形金属酸化膜半導体集積回路ならびにそれを形成する方法を提供する。

【解決手段】 基板上にゲート・スタック16を形成し、ゲート・スタック上にパターン化されたマスク24を形成し、マスクを用いてゲート・スタックをエッチングしてゲート導体の全部ではなく一部を除去する。全面にギャップフィル・フィルム28を形成し、アレイ・デバイス領域のマスクされたゲート・スタック間にギャップフィル・フィルムを残存させる態様でギャップフィル・フィルムを除去する。マスクされたゲート・スタックの露出側壁上にスペーサを形成し、アレイ・デバイス領域内およびサポート・デバイス領域内の露出ゲート導体を除去する。残りのゲート導体の下部露出部分にアンダーカットを設け、アレイ・デバイス領域内のマスクされた保護ゲート・スタックから残りのギャップフィル・フィルムを除去する。



【特許請求の範囲】

【請求項1】CMOS ICを形成する方法であって、

(a) 基板の表面上にゲート・スタックを形成するステップであって、前記ゲート・スタックが、少なくともその上に形成されたゲート導体を有するゲート誘電体を備え、前記基板が、アレイ・デバイス領域およびサポート・デバイス領域を含むステップと、

(b) 前記ゲート・スタックのうち前記アレイ・デバイス領域内および前記サポート・デバイス領域内にある部分を保護し、前記ゲート・スタックの他の部分を露出したまま残すステップと、

(c) 前記ゲート・スタックの前記露出部分を部分的にエッチングして、前記ゲート導体の全部ではなく一部を除去するステップと、

(d) 前記アレイ・デバイス領域内および前記サポート・デバイス領域内の前記保護ゲート・スタック上および前記部分的にエッチングされたゲート・スタック上にギャップフィル・フィルムを形成するステップと、

(e) 前記サポート・デバイス領域から前記ギャップフィル・フィルムを除去し、前記アレイ・デバイス領域から前記ギャップフィル・フィルムを除去して、隣接する保護ゲート・スタックの間にギャップフィル・フィルムを残すステップと、

(f) 前記アレイ・デバイス領域内および前記サポート・デバイス領域内の前記保護ゲート・スタックの露出側壁上にスペーサを形成するステップと、

(g) 前記アレイ・デバイス領域内および前記サポート・デバイス領域内の露出ゲート導体を除去するステップと、

(h) 前記アレイ・デバイス領域内および前記サポート・デバイス領域内の前記保護ゲート・スタックの前記ゲート導体の下部露出部分にアンダーカットを設けるステップと、

(i) 前記アレイ・デバイス領域内の隣接する保護ゲート・スタックから残りのギャップフィル・フィルムを除去するステップとを含む方法。

【請求項2】前記ゲート・スタックの前記ゲート誘電体が、化学的気相付着(CVD)、プラズマ補助CVD、スパッタリングおよび化学的溶液付着からなる群から選択された付着プロセスによって形成される、請求項1に記載の方法。

【請求項3】前記ゲート誘電体が熱成長プロセスによって形成される、請求項1に記載の方法。

【請求項4】前記ゲート誘電体が、酸化物、窒化物、酸窒化物、またはその組合せおよび多層で構成される、請求項1に記載の方法。

【請求項5】前記ゲート誘電体が約5nm以下の厚さを有する、請求項1に記載の方法。

【請求項6】前記ゲート導体がポリシリコンまたは導電性金属で構成される、請求項1に記載の方法。

【請求項7】前記ゲート導体がポリシリコンおよびシリサイド・キャッピング層で構成される、請求項1に記載の方法。

【請求項8】前記ゲート導体が約20nm〜約300nmの厚さを有する、請求項1に記載の方法。

【請求項9】ステップ(b)が、前記ゲート導体上にマスクまたは反射防止コーティングを付着すること、前記マスクまたは反射防止コーティング上にレジストを付着すること、前記レジストをパターン付けし、前記マスクまたは反射防止コーティングをリソグラフィによりエッチングすること、および前記レジストを剥ぎ取ることを含む、請求項1に記載の方法。

【請求項10】前記ゲート・スタックの前記保護部分が、その上に形成されたパターン付きマスクまたは反射防止コーティングを含み、前記パターン付きマスクまたは反射防止コーティングが絶縁キャップとして使用される、請求項1に記載の方法。

【請求項11】ステップ(c)が異方性エッチング・プロセスによって実施される、請求項1に記載の方法。

【請求項12】前記異方性エッチング・プロセスが、塩素含有プラズマを使用した反応性イオン・エッチングを含む、請求項11に記載の方法。

【請求項13】前記ギャップフィル・フィルムが、ホウ素ドーパ二酸化ケイ素を含む、請求項1に記載の方法。

【請求項14】ステップ(d)が、CVD、プラズマ補助CVDおよびスパッタリングからなる群から選択された共形付着プロセスによって実施される、請求項1に記載の方法。

【請求項15】ステップ(e)が等方性エッチング・プロセスを含む、請求項1に記載の方法。

【請求項16】前記等方性エッチング・プロセスが、HF含有溶液を含む、請求項15に記載の方法。

【請求項17】前記スペーサが付着およびエッチングによって形成される、請求項1に記載の方法。

【請求項18】前記エッチング・ステップが、フッ素含有プラズマを含む異方性エッチング・プロセスを含む、請求項17に記載の方法。

【請求項19】ステップ(g)が異方性エッチング・プロセスを含む、請求項1に記載の方法。

【請求項20】前記異方性エッチング・プロセスが塩素含有RIEプロセスを含む、請求項19に記載の方法。

【請求項21】ステップ(h)が等方性エッチング・プロセスを含む、請求項1に記載の方法。

【請求項22】前記等方性エッチング・プロセスが、塩素含有混合物による化学的ドライ・エッチング・プロセスを含む、請求項21に記載の方法。

【請求項23】前記等方性エッチングがKOHを含む、請求項21に記載の方法。

【請求項24】ステップ(i)が、等方性エッチング・プロセスによって実施される、請求項1に記載の方法。

【請求項25】前記等方性エッチング・プロセスが、H F含有エッチャントを含む、請求項24に記載の方法。

【請求項26】前記基板中に拡散領域を形成するステップと、前記拡散領域に対し所定の無境界接点を形成するステップとをさらに含む、請求項1に記載の方法。

【請求項27】相補形金属酸化膜半導体集積回路(CMOS IC)であって、

内部に形成されたソース拡散領域およびドレイン拡散領域を有し、アレイ・デバイス領域およびサポート・デバイス領域を備える基板と、

前記サポート・デバイス領域内の、前記基板のうち前記ソース拡散領域および前記ドレイン拡散領域を含まない部分上に形成されたノッチ付きゲートと、

前記アレイ・デバイス領域内の、前記基板のうち前記ソース拡散領域および前記ドレイン拡散領域を含まない部分上に形成されたゲートであって、前記サポート・デバイス領域内およびアレイ・デバイス領域内の前記ソース拡散領域およびドレイン拡散領域の一部が無境界拡散接点を含むゲートとを備えるCMOS IC。

【請求項28】前記基板が、Si、Ge、SiGe、InAs、GaAs、InP、Si/Si、Si/SiGeおよびシリコン・オン・インシュレータ(SOI)からなる群から選択された半導体材料で構成される、請求項27に記載のCMOS IC。

【請求項29】前記ノッチ付きゲートがゲート導体を備える、請求項27に記載のCMOS IC。

【請求項30】前記ゲート導体が、ポリシリコン、導電性金属、またはポリシリコンおよびシリサイド・キャッピング層で構成される、請求項29に記載のCMOS IC。

【請求項31】前記ゲートが、ゲート導体および絶縁キャップを含む、請求項27に記載のCMOS IC。

【請求項32】前記絶縁キャップがSiNまたは反射防止コーティングを備える、請求項31に記載のCMOS IC。

【請求項33】前記ゲート導体が、ポリシリコン、導電性金属、またはポリシリコンおよびシリサイド・キャッピング層で構成される、請求項31に記載のCMOS IC。

【請求項34】前記サポート領域内の前記ノッチ付きゲートが前記アレイ・ゲートのチャネル長より短いチャネル長を有する、請求項27に記載のCMOS IC。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、相補形金属酸化膜半導体(CMOS)集積回路(IC)の製作方法に関し、より詳細にはアレイ・デバイス領域にマイナスの影響を与えることなく、サポート領域および論理デバイス領域でより高いパフォーマンスが得られる、CMOS ICの製作方法に関する。特に、本発明はアレイ・デバ

イス領域に影響を与えることなく高パフォーマンスを得るためにサポート・ゲートがノッチされたCMOS ICの製作方法に関する。本発明はまた、本発明の方法によって形成された、ゲート導体に対して無境界のノッチ付きサポート・ゲートおよび拡散接点を含むCMOS ICも提供する。

【0002】

【従来の技術】最新世代のCMOS ICのパフォーマンス改善の加速度は、最小リソグラフィ・フィーチャ・サイズおよび電源電圧の積極的スケーリング、ならびにトランジスタ構造の革新、およびIC設計の高次レベルのシステム機能の付加により可能となった。eDRAM(埋め込みダイナミック・ランダム・アクセス・メモリ)などのオン・チップ埋め込みメモリと進んだCMOS論理の組合せは、IC機能を増大し、したがって最新世代のCMOS ICのパフォーマンスを改善する1つの手段である。

【0003】トランジスタ構造の革新に関する限り、トランジスタのパフォーマンスを改善する任を負って、いくつかの主要な特徴が従来のトランジスタに組み込まれてきた。これらの主要な特徴としては次のものが含まれる。

【0004】(a) ノッチ付きポリ・プロセスの挿入。

(b) インプラントおよびアニールの最適化。

(c) 薄い物理ゲート誘電体(約2nm以下程度)

(d) ケイ化チタンからケイ化コバルトへの変更。

【0005】上記の特徴および従来のトランジスタのパフォーマンス改善におけるその重要性に関する詳細な議論はT. ガニ(Ghani)等の「100nmゲート長高パフォーマンス/低電力CMOSトランジスタ構造(100nm Gate Length High Performance/Low Power CMOS Transistor Structure)」1999年IEDMテクニカル・ダイジェスト、pp. 415-418に見られる。T. ガニ等の論文は、リソグラフィ・チャネル長よりも短い長さを可能にするノッチ付きゲートを備えたMOSFETを開示しているが、論理プロセスに適用でき(すなわち、絶縁キャップを含まず)、拡散領域に対して無境界な接点の形成には対処できない。

【0006】従来技術の欠点に鑑み、ゲート導体に対して無境界である拡散接点を使用したeDRAMプロセスでノッチ付きゲートを備えるMOSFETを製作する方法を開発する必要がある。

【0007】

【発明が解決しようとする課題】本発明の一目的は、従来のリソグラフィを利用して形成できるよりも短いチャネルを有し、同時に、DRAMデバイスのメモリ・アレイなどのアレイ領域内のある種のデバイスに対しより長いチャネルを選択的に維持することによりサポート領域にトランジスタ、すなわちMOSFETを形成することである。

【0008】本発明の他の目的は、メモリ・アレイ・トランジスタに影響を与えることなく、CMOS ICのサポート領域および論理領域の両方で増大したパフォーマンスが達成できる方法を提供することである。

【0009】本発明のさらなる目的は、簡単であるがCMOS互換の加工ステップを利用して、サポート領域に短いチャネルを有し、アレイ領域により長いチャネルを有するCMOS ICを製作する方法を提供することである。

【0010】

【課題を解決するための手段】上記その他の目的および利点は、本発明において、チャネル長を短くするためCMOS論理トランジスタのゲートの底面にノッチ・プロファイルを形成するステップと、ウェハの上にギャップフィル・フィルムを付着し、エッチ・バックして、タイト・ピッチのアレイ領域を過剰充填し、リラックス・ピッチのサポートCMOS領域を過少充填し、それによってウェハのアレイ領域およびサポート領域を画定するステップとを少なくとも含む方法を使用することによって達成される。

【0011】具体的には、本発明の方法は以下の加工ステップを含む。

【0012】(a) 基板の表面上にゲート・スタックを形成するステップであって、前記ゲート・スタックがその上に形成されたゲート導体を有するゲート誘電体を少なくとも備え、前記領域がアレイ・デバイス領域およびサポート・デバイス領域を含むステップ。

【0013】(b) 前記ゲート・スタックのうち前記アレイ・デバイス領域内および前記サポート・デバイス領域内のある部分を保護し、前記ゲート・スタックの他の

【0014】(c) 前記ゲート・スタックの前記露出部分を部分的にエッチングして、前記ゲート導体の全部ではなく一部を除去するステップ。

【0015】(d) 前記アレイ・デバイス領域内およびサポート・デバイス領域内の前記保護ゲート・スタック上および前記部分的にエッチングされたゲート・スタック上にギャップフィル・フィルムを形成するステップ。

【0016】(e) 前記サポート・デバイス領域から前記ギャップフィル・フィルムを除去し、前記アレイ・デバイス領域から前記ギャップフィル・フィルムを選択的に除去して、隣接する保護ゲート・スタックの間にギャップフィル・フィルムを残すステップ。

【0017】(f) 前記アレイ・デバイス領域内および前記サポート・デバイス領域内の前記保護ゲート・スタックの露出側壁にスペーサを形成するステップ。

【0018】(g) 前記アレイ・デバイス領域内および前記サポート・デバイス領域内の露出ゲート導体を除去するステップ。

【0019】(h) 前記アレイ・デバイス領域内および

前記サポート・デバイス領域内の前記保護ゲート・スタックの前記ゲート導体の下部露出領域にアンダーカットを設けるステップ。

【0020】(i) 前記アレイ・デバイス領域内の隣接する保護ゲート・スタックから残りのギャップフィル・フィルムを除去するステップ。

【0021】上記ステップ(a)～(i)に続いて、通常の加工ステップを使用して、サポート・デバイス領域および拡散領域に対して無境界であるノッチ付きゲートを含むCMOS ICデバイスを完成する。

【0022】上記方法に加え、本発明はまたそれから形成されるCMOS ICにも関する。特に、本発明のCMOS ICは次のものを備えている。

【0023】内部に形成されたソース拡散領域およびドレイン拡散領域を有し、アレイ・デバイス領域およびサポート・デバイス領域を備える基板。

【0024】前記基板のうち前記ソース拡散領域および前記ドレイン拡散領域を含まない部分上の前記サポート・デバイス領域内に形成されたノッチ付きゲート。

【0025】前記基板のうち前記ソース拡散領域および前記ドレイン拡散領域を含まない部分上の前記アレイ・デバイス領域内に形成されたゲートであって、前記サポート・デバイス領域内および前記アレイ・デバイス領域内の前記ソース拡散領域および前記ドレイン拡散領域の一部が無境界拡散接点を含むゲート。

【0026】

【発明の実施の形態】サポート・トランジスタが従来のリソグラフィを利用して形成できるものよりも短いチャネル長を持ち、一方アレイ・トランジスタに対しより長いチャネルを維持するCMOS ICを製作する方法を提供する本発明を、本願に添付の図面を参照して次に詳細に説明する。図面の同じまたは対応する要素は同様な参照番号で参照することに留意されたい。

【0027】まず図1を参照すると、同図は、ゲート・スタックの形成およびパターン形成後に本発明で使用する初期の構造を示す。具体的には、図1に示す構造は、その上に形成されたゲート・スタック16を有する基板10を備える。このゲート・スタックは、基板10の表面上に形成されたゲート誘電体18およびゲート誘電体上に形成されたゲート導体20を備える。図1に示す構造はまた、パターン付き反射防止コーティングまたはマスク24とパターン付きレジスト26とを含むパターン付き領域22も含んでいる。パターン付き反射防止コーティングまたはマスク24は、以降のエッチング・プロセス中に下にあるゲート・スタックを保護するために本発明で使用する。図1に示す構造は、当技術分野で公知の通常の方法で作られ、以下で説明するように、従来のプロセスを用いてそれを製作する。

【0028】本発明で使用する基板10は、Si、Ge、SiGe、InAs、GaAs、InPおよび他の

10

20

30

40

50

同様なIII/V族化合物半導体を含むが、それだけに限定されない任意の通常の半導体材料を含んでいる。本発明はまた、Si/SiまたはSi/SiGeならびにシリコン・オン・インシュレータ(SOI)などの層状基板も含む。本発明で使用する基板は、少なくとも1つのアレイ・デバイス領域12および少なくとも1つのサポート・デバイス領域14をその内部に含む。アレイ・デバイス領域とは、長いチャネル長が有利なデバイスを有する基板の領域である。典型的には、アレイ・デバイス領域はDRAMキャパシタ(したがって、キャパシタへのアクセス・トランジスタ)を含む。これらの回路はサポート・デバイス領域よりも高い電圧で動作する傾向がある。一般により短いチャネル長を有するデバイスから利益を受けるサポート・デバイス領域は、一般に(ただし常にではなく)低い電圧で動作し、アレイ・デバイス領域のデバイス以外の高パフォーマンス・トランジスタからなる。サポート・デバイス領域はドライバ、デコーダ、チャージ・ポンプ、入出力装置など、メモリ・アレイ以外の回路を含む。本発明の図面は内部に各デバイス領域のうち1つだけ存在するように示してあるが、論理デバイス領域と共にこれらのデバイス領域は基板内に複数存在することができる。

【0029】当技術分野で公知の通常のプロセスを利用して基板10の表面上にゲート・スタック16を形成する。たとえば、ゲート・スタックのゲート誘電体は化学的気相付着(CVD)、プラズマ補助CVD、スパッタリング、化学的溶液付着など通常の前着プロセスによって形成され、あるいは酸化、窒化、または酸窒化を含む熱成長プロセスによって形成される。

【0030】ゲート誘電体は、酸化、窒化、または酸窒化またはその組合せおよび多層で構成することができ、厚さ約5nm以下の薄い層である。より好ましくは、本発明で使用するゲート誘電体は約1nm〜約3.5nmの厚さを有する。

【0031】次いで、やはり当技術分野で公知の通常の前着プロセスを使用してゲートと誘電体上にゲート導体を形成する。たとえば、ゲート導体はCVD、プラズマ補助CVD、スパッタリング、めっき、化学的溶液付着および他の同様の付着プロセスによって形成される。ゲート導体は、~~ポリシリコン~~や導電性金属(たとえば、W、Pt、Cu、および他の同様の導電性金属)の単一材料で形成することができ、一部の実施形態では、ポリシリコン・キャッピング層やシリサイド・キャッピング層などの多層ゲート導体を使用することができる。多層ゲート導体を使用するときは、多層ゲート導体は通常の前着プロセスによって形成し、シリサイド・キャッピング層の形成には通常の前着プロセスを使用する。本発明の図面中では1つのゲート導体しか示していないことに留意されたい。この例示にもかかわらず、本発明は多層ゲート導体でもうまく動作する。

【0032】ゲート・スタックのゲート導体の厚さは変わり得るが、本発明にとって重要ではない。しかし通常は、ゲート導体は約20nm〜約30nmの全厚を有し、約30nm〜約150nmの厚さがより好ましい。

【0033】基板10の表面上にゲート・スタック16を形成した後、当技術分野の技術者に公知の従来の付着プロセスを利用してゲート導体20の露出上面に次に通常の前着プロセス、たとえば、SiN、または反射防止コーティング(以下絶縁キャップ24と呼ぶ)を形成する。たとえば、絶縁キャップ24はCVD、プラズマ補助CVD、スパッタリング、スピン・オン・コーティングおよび他の同様の付着プロセスによって形成することができる。

【0034】次に当技術分野で公知の通常の前着プロセスを利用して絶縁キャップ24上にレジスト26を形成し、ゲート・スタック16の表面上にパターン付き領域22を形成するには、従来のリソグラフィ(レジスト露光および現像を含む)および従来のエッチング(反応性イオン・エッチング(RIE)、プラズマ・エッチング、イオン・ビーム・エッチングなどの異方性エッチング・プロセスを含む)を使用する。本発明のこのステップに使用される好ましいエッチング・プロセスは、フッ素含有プラズマを含む異方性RIEである。図示のように、パターン付き領域22はパターン付きレジスト26およびパターン付き絶縁キャップ24を含む。パターン付き絶縁キャップを使用してアレイ・デバイス領域およびサポート・デバイス領域内のゲート・スタックの若干の領域を保護し、ゲート・スタックの他の部分、すなわちゲート導体は露出したまま残す。パターン付き領域の形成に続いて、当技術分野の技術者に公知の従来のストリッピング・プロセスを利用してこの構造からレジストを除去する。

【0035】パターン付きレジストの除去後ゲート・スタック上にパターン付き絶縁領域24が残り、それが本発明の以降の処理ステップで下にあるゲート・スタックを保護するために使用されることに留意されたい。図面に示さない本発明の一実施形態では、絶縁キャップとレジストの間に酸化物層を形成する。この実施形態では構造内に余分な絶縁層を設ける。

【0036】アレイ・デバイス領域では、サポート・デバイス領域よりもパターン付き保護領域の間隔が密接していることにさらに留意されたい。というのは、アレイが最小ピッチ、すなわち最小スペースおよび最小線幅(すなわち、タイト・ピッチ)で作られ、一方サポートはゲート導体間の最小スペースよりも長いスペースを有する(すなわち、リラックス・ピッチ)からである。

【0037】次に、図2に示すように、パターン付き絶縁キャップを含まない、ゲート・スタックの露出部分に部分エッチング・プロセスを施して、未露出ゲート導体の、全部ではなく一部を構造から除去する。この部分エ

エッチング・ステップは、アレイ・デバイス領域およびサポート・デバイス領域の両方で実施し、パターン付き絶縁キャップ 24 に対して選択的な任意の通常の異方性エッチング・プロセスを含む。本発明の一実施形態では、ゲート導体の部分エッチングは塩素含有プラズマを使用した R I E によって実施する。

【0038】図 3 に、部分的にエッチングされたゲート導体の表面上および保護領域の表面上を含めて構造の全ての露出表面上にギャップフィル・フィルム 28 を形成した後に得られる構造を示す。本発明によれば、ギャップフィル・フィルム 28 はギャップフィル・フィルムの共形層を形成できる従来の付着プロセスを利用して構造上に形成する。適切な付着プロセスには、CVD、プラズマ補助 CVD およびスパッタリングが含まれるが、それだけには限定されない。本発明で使用するギャップフィル・フィルムは、ホウ素ドーパ二酸化ケイ素または他の同様な材料などの酸化物で構成する。ギャップフィル・フィルムの厚さは変わり得るが、厚さがアレイ・デバイス領域内のゲート導体パターン間の間隔の半分より大きく、サポート・デバイス領域内のゲート導体パターン間の最小間隔の半分より小さいフィルムを付着することが好ましい。

【0039】次に、図 3 に示す共形ギャップフィル・フィルムを、ギャップフィル・フィルムがアレイ・デバイス領域内の隣接する保護ゲート・スタック間に残るように構造から部分的に除去する。図 4 を参照のこと。図 4 に示す構造は、H F 含有溶液によるエッチングなど通常の等方性エッチングによって形成する。図 4 に示すように、ギャップフィル・フィルム 28 はアレイ・デバイス領域内では隣接する保護ゲート・スタック間に残るが、構造の他のすべての部分からは完全に除去されている。本発明で使用する等方性除去プロセスはゲート導体およびパターン付き絶縁キャップに対して選択的である。

【0040】構造のいくつかの部分からギャップフィル・フィルムを選択的に除去した後、アレイ・デバイス領域およびサポート・デバイス領域内の保護ゲート・スタックのすべての露出側壁上に薄いスペーサ 30 を形成する。図 5 を参照のこと。具体的には、窒化物、酸化物、酸窒化物などの絶縁材料で形成されるスペーサを、通常の付着プロセスとそれに続くエッチングを利用して形成する。スペーサ 30 を形成するのに使用するエッチング・ステップは、通常は、フッ素含有プラズマを含む異方性エッチング・プロセスを利用して実施する。サポート・デバイス領域内のゲート導体の側壁上およびアレイ・デバイス領域内の隣接するゲート導体の境界にスペーサが存在することに留意されたい。本発明で使用するスペーサの厚さは変わり得るが、本発明にとって重要ではなく、通常は、スペーサ 30 は約 2 nm ～ 約 10 nm の厚さを有する。

【0041】図 6 に、アレイ・デバイス領域およびサポ

ート・デバイス領域の両方から露出ゲート導体を除去した後に得られる構造を示す。具体的には、図 6 に示す構造は、ゲート導体を除去することができ、ゲート誘電体上で停止する通常の異方性ドライ・エッチング・プロセスを利用して得られる。本発明のこのステップで使用する 1 つの特に好ましい異方性ドライ・エッチング・プロセスは塩素含有 R I E プロセスである。

【0042】ゲート導体の露出部分を除去した後、ゲート導体の下部露出部分にアンダーカットを形成して、アレイ・デバイス領域およびサポート・デバイス領域内にノッチ付き構造を形成する。図 7 を参照のこと。具体的には、塩素含有混合物、または K O H などのウェット化学溶液による化学的ドライ・エッチングなど通常の等方性エッチング・プロセスを利用して両デバイス領域内の保護ゲート・スタック中にアンダーカットを形成する。本発明のこのステップで使用するエッチング・プロセスは下にあるゲート誘電体に対して選択的であることに留意されたい。

【0043】図 8 に、アレイ・デバイス領域内の隣接する保護ゲート・スタックの間からギャップフィル・フィルムが除去された後に得られる構造を示す。本発明によれば、この加工ステップは、残りのゲート導体に対して選択的である H F 含有エッチャントなどの等方性エッチング・プロセスを使用して実施する。ゲート誘電体 18、絶縁キャップ 24、およびスペーサ材料に対して選択的である通常の異方性エッチングによってゲート導体 20 の残りの露出部分を除去する。

【0044】図 9 に、サポート領域のノッチ付きゲート 50、アレイ領域のゲート 52、ソース/ドレイン拡散領域 54、および拡散接点 56 を含む完全な CMOS I C 構造を示す。図 9 に示す構造は、当技術分野の技術者に公知の通常の CMOS 処理ステップを利用して形成される。たとえば、通常の導電性金属、たとえば C u または W で構成される拡散接点は、付着、リソグラフィ、およびエッチングによって形成する。ソース/ドレイン領域は、通常のイオン注入プロセスによって形成し、通常の活動化アニール・プロセスによって活動化させる。絶縁キャップ 24 を所定のゲート導体から除去しないことにより、ソース/ドレイン拡散に対する無境界接点を選択的（すなわち、メモリ・アレイや必要に応じてチップ上の他の場所）に形成することができる。

【0045】本発明をその好ましい実施形態に関して詳細に図示し説明してきたが、本発明の精神および範囲から逸脱することなく形態および細部に上記およびその他の変更を行えることが当技術分野の技術者には理解されよう。したがって本発明は本明細に記載された通りの形態および細部に限定されるものではなく、頭記特許請求の範囲の範囲に含まれるものである。

【0046】まとめとして、本発明の構成に関して以下の事項を開示する。

【0047】(1) CMOS ICを形成する方法であって、(a)基板の表面上にゲート・スタックを形成するステップであって、前記ゲート・スタックが、少なくともその上に形成されたゲート導体を有するゲート誘電体を備え、前記基板が、アレイ・デバイス領域およびサポート・デバイス領域を含むステップと、(b)前記ゲート・スタックのうち前記アレイ・デバイス領域内および前記サポート・デバイス領域内にある部分を保護し、前記ゲート・スタックの他の部分を露出したまま残すステップと、(c)前記ゲート・スタックの前記露出部分を部分的にエッチングして、前記ゲート導体の全部ではなく一部を除去するステップと、(d)前記アレイ・デバイス領域内および前記サポート・デバイス領域内の前記保護ゲート・スタック上および前記部分的にエッチングされたゲート・スタック上にギャップフィル・フィルムを形成するステップと、(e)前記サポート・デバイス領域から前記ギャップフィル・フィルムを除去し、前記アレイ・デバイス領域から前記ギャップフィル・フィルムを除去して、隣接する保護ゲート・スタックの間にギャップフィル・フィルムを残すステップと、(f)前記アレイ・デバイス領域内および前記サポート・デバイス領域内の前記保護ゲート・スタックの露出側壁上にスペーサを形成するステップと、(g)前記アレイ・デバイス領域内および前記サポート・デバイス領域内の露出ゲート導体を除去するステップと、(h)前記アレイ・デバイス領域内および前記サポート・デバイス領域内の前記保護ゲート・スタックの前記ゲート導体の下部露出部分にアンダーカットを設けるステップと、

(i)前記アレイ・デバイス領域内の隣接する保護ゲート・スタックから残りのギャップフィル・フィルムを除去するステップとを含む方法。

(2)前記ゲート・スタックの前記ゲート誘電体が、化学的気相付着(CVD)、プラズマ補助CVD、スパッタリングおよび化学的溶液付着からなる群から選択された付着プロセスによって形成される、上記(1)に記載の方法。

(3)前記ゲート誘電体が熱成長プロセスによって形成される、上記(1)に記載の方法。

(4)前記ゲート誘電体が、酸化物、窒化物、酸窒化物、またはその組合せおよび多層で構成される、上記(1)に記載の方法。

(5)前記ゲート誘電体が約5nm以下の厚さを有する、上記(1)に記載の方法。

(6)前記ゲート導体がポリシリコンまたは導電性金属で構成される、上記(1)に記載の方法。

(7)前記ゲート導体がポリシリコンおよびシリサイド・キャッピング層で構成される、上記(1)に記載の方法。

(8)前記ゲート導体が約20nm~約300nmの厚さを有する、上記(1)に記載の方法。

(9)ステップ(b)が、前記ゲート導体上にマスクまたは反射防止コーティングを付着すること、前記マスクまたは反射防止コーティング上にレジストを付着すること、前記レジストをパターン付けし、前記マスクまたは反射防止コーティングをリソグラフィによりエッチングすること、および前記レジストを剥ぎ取ることを含む、上記(1)に記載の方法。

(10)前記ゲート・スタックの前記保護部分が、その上に形成されたパターン付きマスクまたは反射防止コーティングを含み、前記パターン付きマスクまたは反射防止コーティングが絶縁キャップとして使用される、上記(1)に記載の方法。

(11)ステップ(c)が異方性エッチング・プロセスによって実施される、上記(1)に記載の方法。

(12)前記異方性エッチング・プロセスが、塩素含有プラズマを使用した反応性イオン・エッチングを含む、上記(11)に記載の方法。

(13)前記ギャップフィル・フィルムが、ホウ素ドープ二酸化ケイ素を含む、上記(1)に記載の方法。

(14)ステップ(d)が、CVD、プラズマ補助CVDおよびスパッタリングからなる群から選択された共形付着プロセスによって実施される、上記(1)に記載の方法。

(15)ステップ(e)が等方性エッチング・プロセスを含む、上記(1)に記載の方法。

(16)前記等方性エッチング・プロセスが、HF含有溶液を含む、上記(15)に記載の方法。

(17)前記スペーサが付着およびエッチングによって形成される、上記(1)に記載の方法。

(18)前記エッチング・ステップが、フッ素含有プラズマを含む異方性エッチング・プロセスを含む、上記(17)に記載の方法。

(19)ステップ(g)が異方性エッチング・プロセスを含む、上記(1)に記載の方法。

(20)前記異方性エッチング・プロセスが塩素含有RIEプロセスを含む、上記(19)に記載の方法。

(21)ステップ(h)が等方性エッチング・プロセスを含む、上記(1)に記載の方法。

(22)前記等方性エッチング・プロセスが、塩素含有混合物による化学的ドライ・エッチング・プロセスを含む、上記(21)に記載の方法。

(23)前記等方性エッチングがKOHを含む、上記(21)に記載の方法。

(24)ステップ(i)が、等方性エッチング・プロセスによって実施される、上記(1)に記載の方法。

(25)前記等方性エッチング・プロセスが、HF含有エッチャントを含む、上記(24)に記載の方法。

(26)前記基板中に拡散領域を形成するステップと、前記拡散領域に対し所定の無境界接点を形成するステップとをさらに含む、上記(1)に記載の方法。

(27) 相補形金属酸化膜半導体集積回路 (CMOS IC) であって、内部に形成されたソース拡散領域およびドレイン拡散領域を有し、アレイ・デバイス領域およびサポート・デバイス領域を備える基板と、前記サポート・デバイス領域内の、前記基板のうち前記ソース拡散領域および前記ドレイン拡散領域を含まない部分上に形成されたノッチ付きゲートと、前記アレイ・デバイス領域内の、前記基板のうち前記ソース拡散領域および前記ドレイン拡散領域を含まない部分上に形成されたゲートであって、前記サポート・デバイス領域内およびアレイ・デバイス領域内の前記ソース拡散領域およびドレイン拡散領域の一部が無境界拡散接点を含むゲートとを備える CMOS IC。

(28) 前記基板が、Si、Ge、SiGe、InAs、GaAs、InP、Si/Si、Si/SiGe およびシリコン・オン・インシュレータ (SOI) からなる群から選択された半導体材料で構成される、上記 (27) に記載の CMOS IC。

(29) 前記ノッチ付きゲートがゲート導体を備える、上記 (27) に記載の CMOS IC。

(30) 前記ゲート導体が、ポリシリコン、導電性金属、またはポリシリコンおよびシリサイド・キャッピング層で構成される、上記 (29) に記載の CMOS IC。

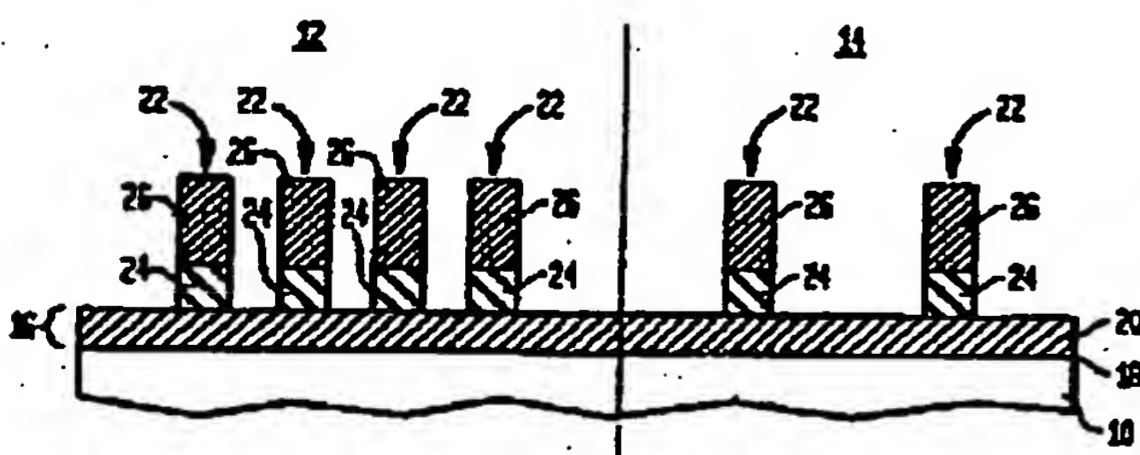
(31) 前記ゲートが、ゲート導体および絶縁キャップを含む、上記 (27) に記載の CMOS IC。

(32) 前記絶縁キャップが SiN または反射防止コーティングを備える、上記 (31) に記載の CMOS IC。

(33) 前記ゲート導体が、ポリシリコン、導電性金属、またはポリシリコンおよびシリサイド・キャッピング層で構成される、上記 (31) に記載の CMOS IC。

(34) 前記サポート領域内の前記ノッチ付きゲートが前記アレイ・ゲートのチャネル長より短いチャネル長を有する、上記 (27) に記載の CMOS IC。

【図1】



【図面の簡単な説明】

【図1】 本発明の様々な加工ステップによる CMOS IC 構造の絵画図である。

【図2】 本発明の様々な加工ステップによる CMOS IC 構造の絵画図である。

【図3】 本発明の様々な加工ステップによる CMOS IC 構造の絵画図である。

【図4】 本発明の様々な加工ステップによる CMOS IC 構造の絵画図である。

10 【図5】 本発明の様々な加工ステップによる CMOS IC 構造の絵画図である。

【図6】 本発明の様々な加工ステップによる CMOS IC 構造の絵画図である。

【図7】 本発明の様々な加工ステップによる CMOS IC 構造の絵画図である。

【図8】 本発明の様々な加工ステップによる CMOS IC 構造の絵画図である。

【図9】 本発明の様々な加工ステップによる CMOS IC 構造の絵画図である。

20 【符号の説明】

10 基板

12 アレイ・デバイス領域

14 サポート・デバイス領域

16 ゲート・スタック

18 ゲート誘電体

20 ゲート導体

22 パターン付き領域

24 パターン付き反射防止コーティング、絶縁キャップ

30 26 パターン付きレジスト

28 キャップフィル・フィルム

30 スペース

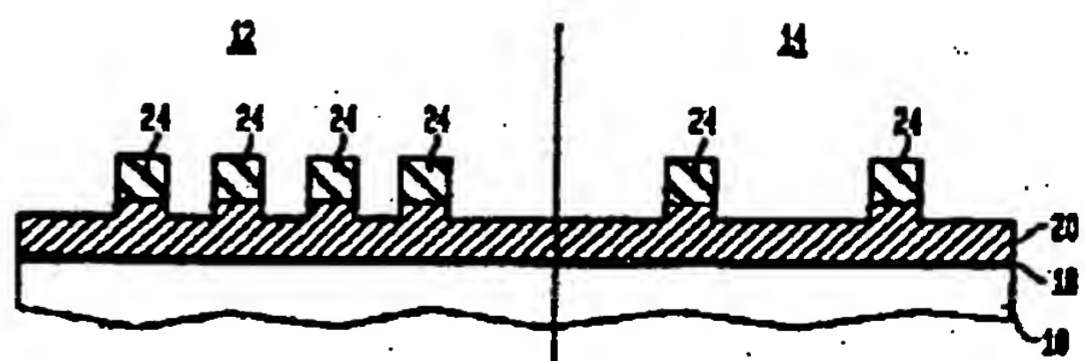
50 サポート領域ノッチ付きゲート

52 アレイ領域ゲート

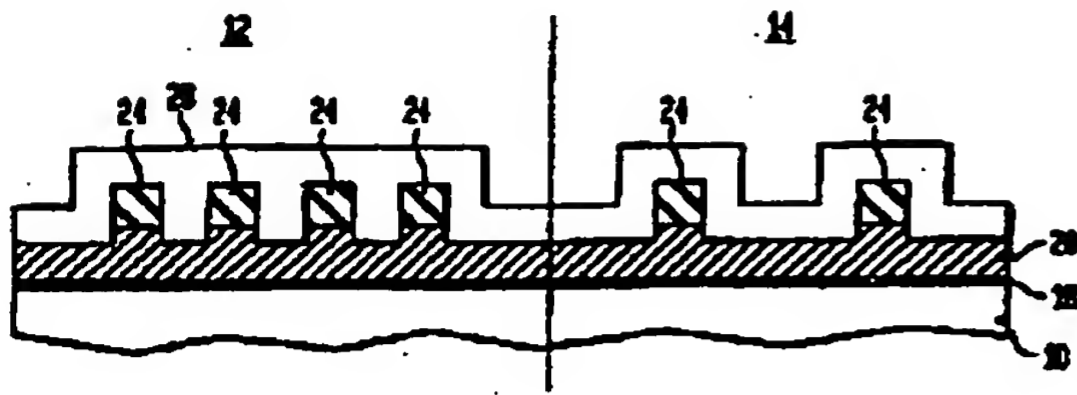
54 ソース/ドレイン拡散領域

56 拡散接点

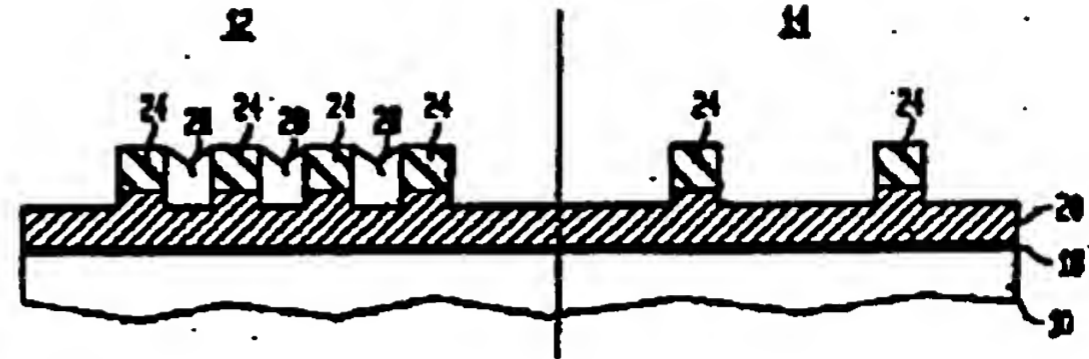
【図2】



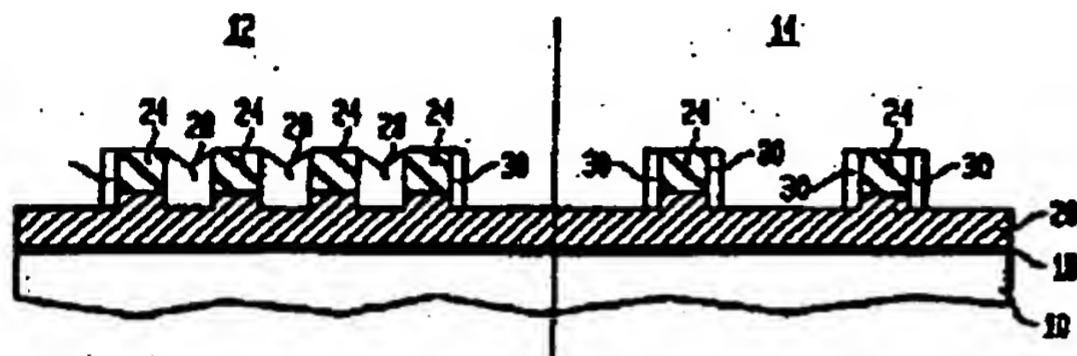
【図3】



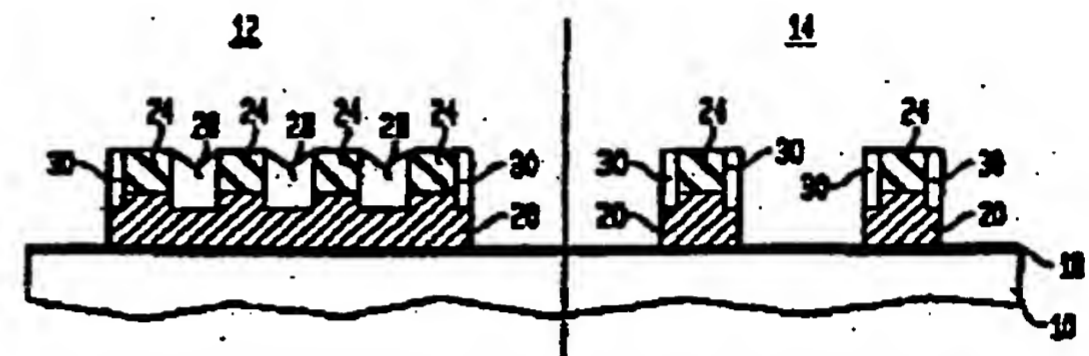
【図4】



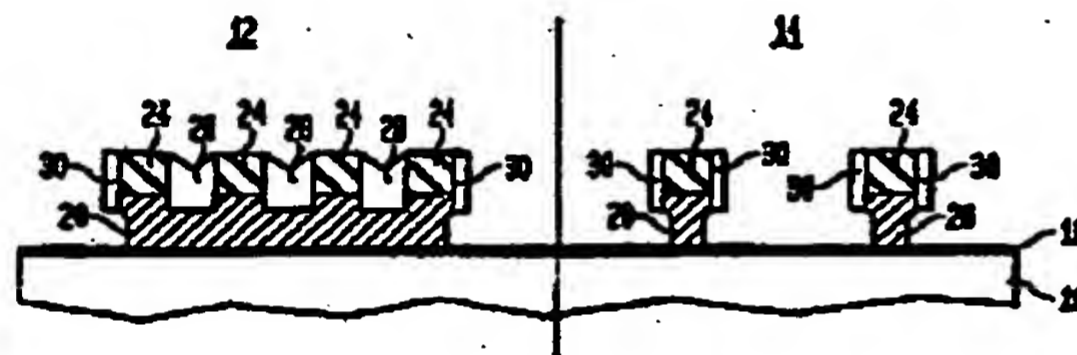
【図5】



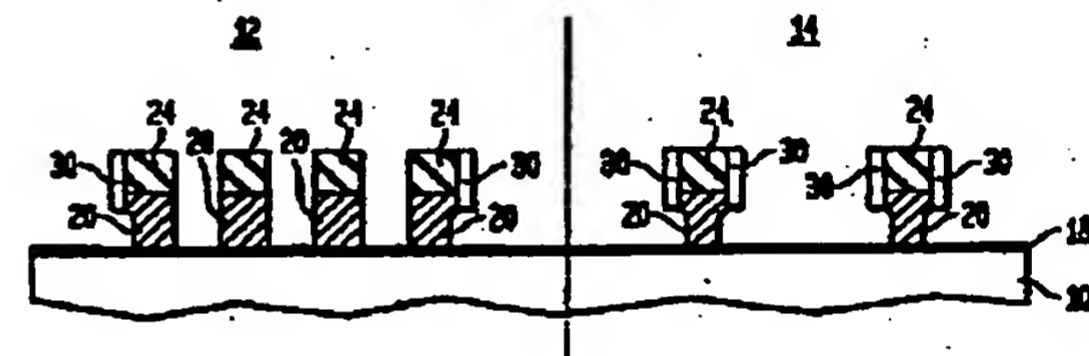
【図6】



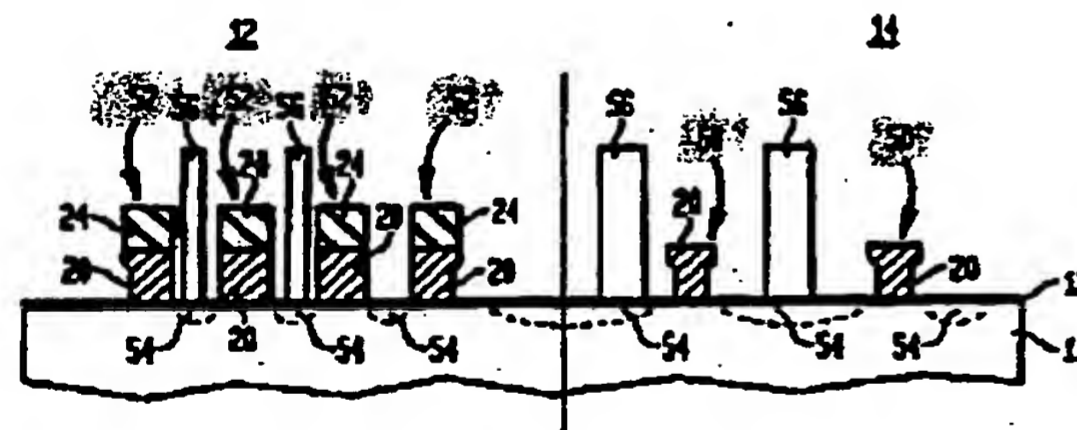
【図7】



【図8】



【図9】



フロントページの続き

(51)Int.Cl.⁷
27/092
29/43

識別記号

F I

テーマコード (参考)

(72)発明者 ジャック・エイ・マンデルマン
アメリカ合衆国12582 ニューヨーク州ス
トームヴィル ジャミー・レーン 5

(72)発明者 カール・ジェイ・レイデンス
アメリカ合衆国12540 ニューヨーク州ラ
グランジェヴィル カチラー・ドライブ
35

Fターム(参考) 4M104 AA01 AA02 AA04 AA05 AA09
BB01 BB04 BB06 BB18 CC05
DD04 DD37 DD43 DD51 DD64
DD66 EE03 EE17 FF07 FF14
GG09 GG10 GG16 HH14
5F048 AA01 AB01 AC01 AC03 BA01
BA14 BA15 BA19 BB01 BB04
BB05 BB08 BB09 BB10 BB11
BB12 BF01 BF07
5F083 GA09 GA27 HA02 HA06 HA10
JA06 JA19 JA32 JA37 JA39
JA53 PR03 PR05 PR09 PR43
PR53 ZA05 ZA12